

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2002-0086465  
Application Number

출원 년 월 일 : 2002년 12월 30일  
Date of Application DEC 30, 2002

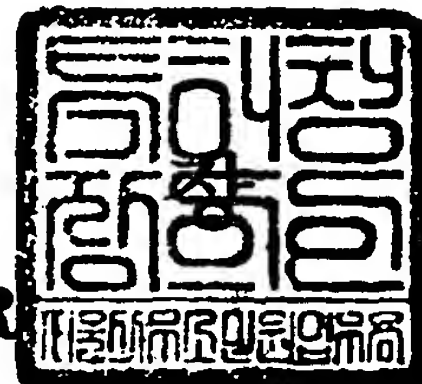
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003    년    05    월    14    일

특    허    청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0030		
【제출일자】	2002. 12. 30		
【발명의 명칭】	M O S 트랜지스터 제조방법		
【발명의 영문명칭】	Method for fabricating MOS transistor		
【출원인】			
【명칭】	주식회사 하이닉스반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【명칭】	특허법인 신성		
【대리인코드】	9-2000-100004-8		
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천		
【포괄위임등록번호】	2000-049307-2		
【발명자】			
【성명의 국문표기】	이상돈		
【성명의 영문표기】	LEE, Sang Don		
【주민등록번호】	590923-1056030		
【우편번호】	471-030		
【주소】	경기도 구리시 수택동 금호베스트빌 2차 아파트 505동 102호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	9	면	9,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	18	항	685,000 원
【합계】	723,000		원

1020020086465

출력 일자: 2003/5/16

【첨부서류】

1. 요약서·명세서(도면)\_1통

## 【요약서】

## 【요약】

본 발명은 실리콘기판위에 제1산화막과 제1질화막을 차례로 형성하는 단계와 상기 제1질화막과 제1산화막을 선택적으로 식각하고 그에 따라 노출되는 실리콘기판 부위를 소정깊이로 식각하여 소자분리영역에 트렌치를 형성하는 단계, 상기 트렌치가 매립되도록 기판 전면에 소자분리 산화막을 증착하고 상기 제1질화막이 노출될 때까지 CMP공정을 진행하는 단계, 상기 노출된 제1질화막을 그대로 둔 채 소정의 게이트전극 형성용 마스크패턴을 이용하여 상기 제1질화막과 제1산화막을 선택적으로 식각하고 그에 따라 노출되는 실리콘기판 부위를 소정깊이로 식각하여 채널영역이 형성될 트렌치를 형성하고 세정하는 단계, 상기 기판상에 버퍼산화막을 성장시키고 상기 트렌치 채널영역에 채널이온주입을 행하는 단계, 상기 제1질화막과 버퍼산화막을 제거하고 기판상에 게이트산화막을 성장시키는 단계, 기판 전면에 게이트전극 형성용 폴리실리콘을 증착하는 단계, 상기 게이트 폴리실리콘층을 상기 소자분리산화막이 노출될 때까지 CMP에 의해 연마하는 단계, 기판 전면에 WN배리어와 게이트전극 형성용 텅스텐 및 제2질화막을 순차적으로 증착하는 단계, 상기 제2질화막과 텅스텐막 및 WN배리어를 소정의 게이트전극 패턴으로 패터닝하는 단계, 상기 게이트전극 패턴으로 패터닝된 WN배리어 및 텅스텐막의 측면에 얇은 측벽 질화막을 형성하는 단계 및 노출된 게이트 폴리실리콘층을 식각한 후, 선택적인 산화공정을 진행하여 노출된 게이트 폴리실리콘층 측면을 포함한 게이트영역의 기판부위에만 선택산화막을 성장시키는 단계를 포함하여 이루어지는 MOS트랜지스터 제조방법을 제공한다.

【대표도】

도 7

【색인어】

MOSFET, STI, EXTIGATE, 솟채널 효과, 트렌치 채널

## 【명세서】

## 【발명의 명칭】

MOS 트랜지스터 제조방법{Method for fabricating MOS transistor}

## 【도면의 간단한 설명】

도1a 내지 도1e는 종래기술에 의한 MOS트랜지스터 제조방법을 도시한 공정순서도,

도2는 도1e의 단면에 수직한 방향의 단면도,

도3a 내지 도3h는 본 발명의 일실시예에 의한 MOS트랜지스터 제조방법을 도시한 공정순서도,

도4는 도3h의 단면에 수직한 방향의 단면도,

도5는 본 발명의 다른 실시예에 의한 MOS트랜지스터 제조방법을 도시한 단면도,

도6은 본 발명의 또 다른 실시예에 의한 MOS트랜지스터 제조방법을 도시한 단면도,

도7은 도3d의 A부분을 확대하여 나타낸 단면도.

\* 도면의 주요부분에 대한 부호의 설명

1,21 : 실리콘기판

2 : 게이트산화막

3,29 : 게이트 폴리실리콘

4 : 중간산화막

5,23 : 제1질화막

6,24 : 소자분리 산화막

7,25 : p웰

8,26 : n웰

9,30 : WN배리어

10,31 : 텅스텐막

11,32 : 제2질화막

12,34 : 선택산화막

13,33 : 게이트 측벽 질화막

22 : 제1산화막

27 : 채널영역

28 : 게이트산화막

35 : 제4질화막

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<18> 본 발명은 MOS트랜지스터 제조방법에 관한 것으로, 특히 폴리실리콘과 WN 및 W의 적층구조로 이루어진 게이트를 갖는 MOS트랜지스터의 제조방법에 관한 것이다.

<19> 도1a 내지 도1e를 참조하여 종래기술에 의한 EXTIGATE 기술을 이용한 트랜지스터 제조방법을 설명하면 다음과 같다.

<20> 먼저, 도1a를 참조하면, 실리콘기판(1)위에 게이트산화막(2)을 성장시키고, 그위에 게이트전극 형성용 폴리실리콘(3)과 중간산화막(4) 및 제1질화막(5)을 차례로 형성한다. 이어서 소정의 소자분리막 형성을 위한 감광막패턴(도시하지 않음)을 상기 제1질화막(5)상에 형성하고, 이를 이용하여 제1질화막(5)과 중간산화막(4), 폴리실리콘막(3) 및 게이트산화막(2)을 차례로 식각하고 이에 따라 노출되는 실리콘기판을 소정깊이 식각하여 소자분리영역에 트렌치를 형성한 다음, 상기 감광막패턴을 제거한다.

- <21> 다음에 도1b를 참조하면, 상기 트렌치가 매립되도록 기판 전면에서 소자분리 산화막(6)을 증착한 후, 상기 제1질화막(5)이 노출될 때까지 CMP공정을 진행한다. 이때, 소자분리 산화막(6)을 증착하기 전에 식각된 실리콘기판의 측면 및 밑면 그리고 노출된 게이트 폴리실리콘층의 측면에 10nm 두께 이하의 열산화막을 증착한 다음에 소자분리 산화막을 증착할 수도 있다.
- <22> 이어서 도1c를 참조하면, 상기 노출된 제1질화막을 습식식각한 후, 소정의 p웰 형성용 마스크를 사용하여 기판의 p웰 영역에 p형 불순물을 선택적으로 이온주입하고, 소정의 n웰 형성용 마스크를 이용하여 n웰 영역에 선택적으로 n형 불순물을 이온주입한 후, 열처리하여 p웰(7) 및 n웰(8)을 형성한다.
- <23> 다음에 도1d에 나타낸 바와 같이 상기 중간산화막과 소자분리산화막(6)의 상부를 습식식각한 후, WN배리어(9)와 게이트전극 형성용 W(10)을 차례로 증착하고, 이위에 제2질화막(11)을 증착한다.
- <24> 이어서 도1e에 나타낸 바와 같이 상기 제2질화막(11)위에 소정의 게이트전극 형성용 감광막패턴(도시하지 않음)을 형성한 후, 이를 이용하여 제2질화막(11)과 게이트전극 형성용 W막(10), WN배리어(9) 및 게이트 폴리실리콘층(3)을 차례로 식각하여 게이트전극을 형성한 다음, 상기 감광막 패턴을 제거한다. 이어서 선택적인 산화공정을 진행하여 게이트 폴리실리콘층(3)과 노출된 실리콘기판상에 선택산화막(12)을 성장시킨 후, 기판 전면에서 질화막을 증착하고 식각하여 게이트전극 측벽질화막(13)을 형성한다. 이후의 공정은 일반적인 MOSFET 제조공정과 동일한 공정을 진행하여 트랜지스터를 완성한다.
- <25> 도2는 도1e에 도시한 단면에 수직한 방향의 단면도를 나타낸 것이다. 여기에서 트랜지스터가 형성되는 영역의 게이트전극은 폴리실리콘층(3)위에 WN배리어(9)가 형성되고



그 위에 게이트 W층(10)이 있는 구조로 되어 있으며, 소자분리산화막(6)위에 있는 게이트전극은 WN배리어(9)와 W층(10)으로 이루어진 구조로 되어 있다.

- <26>       상기한 종래기술에 있어서, 식각된 실리콘기판의 측면과 밑면, 그리고 노출된 게이트 폴리실리콘층 측면에 열산화막을 형성하는 공정시 노출된 게이트 폴리실리콘층과 게이트산화막 및 실리콘기판 사이의 계면에서는 노출된 기판 표면에 열산화막이 가장 두껍게, 그리고 안쪽으로 들어가면서 얇게 형성되는 열산화막 버즈비크(bird's beak)가 형성된다. 또한, 트렌치 소자분리 산화막 증착시 최종 증착된 질화막으로부터 트렌치 밑면까지의 깊이가 (게이트산화막 두께)+(게이트 폴리실리콘층 두께)+(중간산화막 두께)+(제1 질화막 두께)+(실리콘기판 식각 깊이)로 너무 깊어 소자분리 산화막 증착시 보이드(void)가 발생하기 쉬운 문제점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

- <27>       본 발명은 상기 문제점을 해결하기 위한 것으로써, 웰 및 채널 도핑을 정교하게 조절할 수 있도록 하고 숏채널 효과를 개선하고 트랜지스터의 GIDL전류를 감소시켜 특성을 향상시킬 수 있도록 한 MOS트랜지스터 제조방법을 제공하는데 목적이 있다.

#### 【발명의 구성 및 작용】

- <28>       상기 목적을 달성하기 위한 본 발명의 MOS트랜지스터 제조방법은, 실리콘기판위에 제1산화막과 제1질화막을 차례로 형성하는 단계와 상기 제1질화막과 제1산화막을 선택적으로 식각하고 그에 따라 노출되는 실리콘기판 부위를 소정깊이로 식각하여 소자분리영

역에 트렌치를 형성하는 단계, 상기 트렌치가 매립되도록 기판 전면에서 소자분리 산화막을 증착하고 상기 제1질화막이 노출될 때까지 CMP공정을 진행하는 단계, 상기 노출된 제1질화막을 그대로 둔 채 소정의 게이트전극 형성용 마스크패턴을 이용하여 상기 제1질화막과 제1산화막을 선택적으로 식각하고 그에 따라 노출되는 실리콘기판 부위를 소정깊이로 식각하여 채널영역이 형성될 트렌치를 형성하고 세정하는 단계, 상기 기판상에 버퍼산화막을 성장시키고 상기 트렌치 채널영역에 채널이온주입을 행하는 단계, 상기 제1질화막과 버퍼산화막을 제거하고 기판상에 게이트산화막을 성장시키는 단계, 기판 전면에서 게이트전극 형성용 폴리실리콘을 증착하는 단계, 상기 게이트 폴리실리콘층을 상기 소자분리산화막이 노출될 때까지 CMP에 의해 연마하는 단계, 기판 전면에서 WN배리어와 게이트전극 형성용 텅스텐 및 제2질화막을 순차적으로 증착하는 단계, 상기 제2질화막과 텅스텐막 및 WN배리어를 소정의 게이트전극 패턴으로 패터닝하는 단계, 상기 게이트전극 패턴으로 패터닝된 WN배리어 및 텅스텐막의 측면에 얇은 측벽 질화막을 형성하는 단계 및 노출된 게이트 폴리실리콘층을 식각한 후, 선택적인 산화공정을 진행하여 노출된 게이트 폴리실리콘층 측면을 포함한 게이트영역의 기판부위에만 선택산화막을 성장시키는 단계를 포함하여 이루어지는 것을 특징으로 한다.

<29> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

<30> 도3a 내지 도3h에 본 발명의 바람직한 실시예에 의한 MOS트랜지스터 제조방법을 공정순서에 따라 도시하였다.

- <31> 먼저, 도3a에 나타낸 바와 같이 실리콘기판(21)위에 제1산화막(22)을 성장시키고 그위에 제1질화막(23)을 형성한 후, 소정의 소자분리막 형성용 마스크(도시하지 않음)를 이용하여 상기 제1질화막(23)과 제1산화막(22)을 선택적으로 식각하고 그에 따라 노출되는 실리콘기판 부위를 소정깊이로 식각하여 소자분리영역에 트렌치를 형성한다. 상기 제1산화막(22)은 5~20nm, 제1질화막(23)은 50~150nm의 두께로 형성하고, 트렌치는 150~400nm 깊이로 형성하는 것이 바람직하다.
- <32> 이어서 도3b에 나타낸 바와 같이 상기 트렌치가 매립되도록 기판 전면에서 소자분리 산화막(24)을 증착하고 제1질화막(23)이 노출될 때까지 CMP공정을 진행한다. 본 발명에서는 소자분리 산화막 증착시 종래기술에 비하여 매립해야 할 식각 부분의 높이가 높지 않기 때문에 소자분리 산화막을 매립하기가 훨씬 용이하다. 상기 트렌치에 소자분리 산화막을 증착하기 전에 식각된 트렌치의 측면 및 밑면에 희생산화막 또는 열산화막을 성장시킨 후 식각한 다음에 소자분리 산화막을 형성할 수도 있다.
- <33> 이어서 소정의 p웰 형성용 마스크를 사용하여 기판의 p웰 영역에 p형 불순물을 선택적으로 이온주입하고, 소정의 n웰 형성용 마스크를 이용하여 n웰 영역에 선택적으로 n형 불순물을 이온주입한 후, 열처리하여 도3c에 나타낸 바와 같이 p웰(25) 및 n웰(26)을 형성한다. 상기 p웰 및 n웰 형성을 위한 이온주입은 3MeV~40KeV 범위의 여러단계의 에너지로 나누어서 행하는 것이 바람직하다.
- <34> 다음에 상기 노출된 제1질화막(23)을 그대로 둔 채 소정의 게이트전극 형성용 마스크패턴(도시하지 않음)을 이용하여 상기 제1질화막(23)과 제1산화막(22)을 선택적으로 식각하고 그에 따라 노출되는 실리콘기판 부위를 소정깊이로 식각하여 채널영역이 형성될 트렌치를 형성한 후, 세정을 행한다.

<35> 다음에 도3d에 나타낸 바와 같이 기판상에 버퍼산화막을 성장시킨 후, MOS트랜지스터의 채널 마스크를 사용하여 채널이온주입을 행하여 상기 트렌치 밑면에 채널영역(27)을 형성한다. 이어서 상기 제1질화막을 제거하고 버퍼산화막을 제거한 후, 게이트산화막(28)을 성장시킨다. 상기 버퍼산화막은 5~10nm 두께로 형성하는 것이 바람직하며, 채널이온주입은 1~100KeV의 에너지로 실시하는 것이 바람직하다. 상기 게이트산화막(28)은 3~10nm 두께로 증착하는 것이 바람직하다. 이어서 게이트전극 형성용 폴리실리콘(29)을 50~400nm의 두께로 두껍게 증착한다. 상기 도3c의 공정에서 식각된 게이트전극이 형성될 영역의 실리콘 기판의 측벽은 <110>방향을 가지므로 밑면의 <100>방향보다 게이트산화막(28) 성장시 측벽에 성장되는 산화막의 두께가 50%이상 두껍게 된다. 또한, 식각된 실리콘기판 측면과 밑면에는 게이트산화막(28)이 형성되나, 실리콘기판의 표면에는 제1산화막(22)+게이트산화막(28)이 존재하게 되므로 실제 채널영역에만 얇은 게이트산화막이 형성되어 전류 구동능력을 증가시키고, 소오스 및 드레인영역과 오버랩되는 영역은 두꺼운 게이트산화막(22+28)이 존재하므로 게이트와 소오스/드레인간의 오버랩 커패시턴스가 감소하고 GIDL전류가 감소한다.

<36> 다음에 도3e에 나타낸 바와 같이 상기 게이트 폴리실리콘층(29)을 소자분리산화막(24) 표면이 노출될 때까지 CMP에 의해 연마하여 30~130nm 정도의 두께로 남아 있게 한다. 이어서 도3f에 나타낸 바와 같이 기판 전면에 WN배리어(30)와 게이트전극 형성용 텅스텐(W)(31)을 순차적으로 증착하고, 그위에 제2질화막(32)을 형성한다. 상기 WN배리어(30)는 3~10nm, 텅스텐(31)은 50~150nm, 제2질화막(32)은 150~400nm의 두께로 각각 형성하는 것이 바람직하다. WN 대신에 TiN, WSiN, TiSiN, WSi<sub>x</sub>를 사용할 수도 있다.

- <37> 다음에 도3g에 나타낸 바와 같이 소정의 게이트전극 마스크패턴(도시하지 않음)을 이용하여 상기 제2질화막(32)과 게이트 텅스텐막(31) 및 WN배리어(30)를 차례로 식각한 다음, 기판 전면에서 제3질화막을 증착하고 식각하여 WN배리어패턴 및 텅스텐막 패턴의 측면에 얇은 제1측벽 질화막(33)을 형성한다. 제1측벽 질화막(33)은 3~40nm의 두께로 형성하는 것이 바람직하다. 이어서 노출된 게이트 폴리실리콘 전극층을 식각한 후, 선택적인 산화공정을 진행하여 게이트 폴리실리콘 전극의 노출된 측면과 게이트산화막(22+28)을 통하여 게이트영역의 기판부위에만 선택산화막(34)을 성장시킨다. 이때, 선택산화막(34)은 1.5~10nm의 두께로 형성하는 것이 바람직하다.
- <38> 이어서 도3h에 나타낸 바와 같이 게이트 폴리실리콘 전극(29)의 측벽에 형성된 산화막(34)의 손실을 방지하기 위하여 제4질화막(35)을 게이트전극을 포함한 기판 전면에서 5~40nm 두께로 얇게 증착한다. 이후의 공정은 일반적인 MOSFET 제조공정과 동일하게 진행하여 트랜지스터를 완성한다.
- <39> 도4는 도3h에 도시된 단면에 수직인 방향(A-A')의 단면도를 나타낸 것이다. 도시된 바와 같이 트랜지스터가 형성되는 영역의 게이트전극은 폴리실리콘과 WN배리어와 텅스텐막이 적층된 구조로 이루어지며, 소자분리산화막위에 형성되는 게이트전극은 제2질화막위에 증착된 WN배리어와 텅스텐으로 이루어진다.
- <40> 도5는 본 발명의 다른 실시예에 의한 MOS트랜지스터 제조방법을 나타낸 단면도이다. 본 실시예는 상기한 실시예의 도3a 내지 도3g까지의 공정을 진행한 후, 게이트 폴리실리콘전극의 측벽 산화막의 손실을 방지하기 위하여 제4질화막을 얇게 증착하고 식각하여 제2게이트 측벽 질화막(35A)을 형성한 것이다. 이후의 공정은 일반적인 MOSFET 제조공정과 동일하게 진행하여 트랜지스터를 완성한다.

- <41> 도6은 본 발명의 또 다른 실시예에 의한 MOS트랜지스터 제조방법을 나타낸 단면도로서, 상기 실시예의 도3a 내지 도3f까지의 공정을 진행한 후, 소정의 게이트전극 마스크패턴(도시하지 않음)을 이용하여 상기 제2질화막(32)과 게이트 텅스텐막(31), WN배리어(30) 및 게이트 폴리실리콘층(29)을 차례로 식각한 다음, 제3질화막을 증착하고 식각하여 WN배리어패턴 및 텅스텐막 패턴의 측면에 얇은 제1측벽 질화막(33)을 형성한다. 이어서 선택적인 산화공정을 진행하여 식각공정에 의해 발생한 손상을 치료하기 위하여 노출된 게이트산화막(28)을 통하여 실리콘기판 및 얇은 게이트 측벽 질화막(33)에 의해 둘러싸인 게이트 폴리실리콘전극에만 선택산화막(34)을 성장시킨다. 이후의 공정은 도3h 또는 도5의 공정을 진행한 후, 일반적인 MOS트랜지스터 제조공정과 동일한 공정을 진행하여 트랜지스터를 완성한다.
- <42> 도7은 도3d의 A부분을 확대한 것으로, 게이트산화막 성장시에 식각이 되지 않은 실리콘기판 표면에는 제1산화막(22)이 남아 있게 함으로써 게이트산화막 성장후 이 영역의 산화막 두께가 "게이트산화막+남아 있는 제1산화막(22+28)"이 되도록 하여 게이트산화막보다 두껍게 할 수 있다. 또한, 식각된 실리콘기판의 측벽은 (110)의 결정구조를 가지므로 식각된 실리콘 밑면의 (100) 결정구조보다 게이트산화막 성장시 산화막의 두께가 50% 정도 증가하게 된다. 실제로 트랜지스터의 채널은 식각된 실리콘기판의 밑면에만 형성되는데, 본 발명에 의하면 이 부분의 게이트산화막의 두께가 가장 얇게 형성되므로 전류 구동능력이 증가하게 된다. 또한, 채널을 제외한 나머지 부분은 게이트와 소오스/드레인이 오버랩되는 영역으로, 이 부분에는 채널영역보다 두꺼운 산화막이 존재하므로 게이트와 소오스/드레인간의 오버랩 커패시턴스가 감소하고 GIDL전류도 감소한다.

- <43> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

#### 【발명의 효과】

- <44> 본 발명은 기존의 STI(shallow trench isolation)공정과 같이 폴리실리콘과중간산화막 없이 질화막을 증착한 후 트렌치 공정을 진행하여 최종 증착된 질화막으로부터 트렌치 밑면까지의 깊이를 얇게 함으로써 종래의 EXTIGATE기술에서의 트렌치 소자분리 산화막 증착시 생기기 쉬운 보이드를 감소시킬 수 있다.
- <45> 또한, 웰 형성을 위한 이온주입을 질화막이 있는 상태에서 실시하고 채널 이온주입을 기판 실리콘을 식각한 트렌치 채널을 형성한 후 실시하여 웰 및 채널 도핑을 정교하게 조절할 수 있다. 또한, 실리콘기판을 식각하여 트랜지스터를 형성함으로써 동일한 디자인 룰에서도 채널 길이를 증가시킬 수 있으므로 쏫채널 효과를 개선하면서도 기존의 EXTIGATE기술의 장점인 W/WN/폴리실리콘 게이트구조에서 단차를 줄일 수 있다.
- <46> 또한, 트랜지스터의 채널이 형성되는 식각된 실리콘기판의 밑면의 게이트산화막의 두께를 얇게 형성함으로써 전류 구동능력을 증가시킬 수 있으며, 채널을 제외한 나머지 부분인 게이트와 소오스/드레인이 오버랩되는 영역에는 채널영역보다 두꺼운 산화막이 형성되도록 함으로써 게이트와 소오스/드레인간의 오버랩 커패시턴스 및 GIDL전류를 감소시킬 수 있다.



## 【특허청구범위】

## 【청구항 1】

실리콘기판위에 제1산화막과 제1질화막을 차례로 형성하는 단계와;

상기 제1질화막과 제1산화막을 선택적으로 식각하고 그에 따라 노출되는 실리콘기판 부위를 소정깊이로 식각하여 소자분리영역에 트렌치를 형성하는 단계;

상기 트렌치가 매립되도록 기판 전면에 소자분리 산화막을 증착하고 상기 제1질화막이 노출될 때까지 CMP공정을 진행하는 단계;

상기 노출된 제1질화막을 그대로 둔 채 소정의 게이트전극 형성용 마스크패턴을 이용하여 상기 제1질화막과 제1산화막을 선택적으로 식각하고 그에 따라 노출되는 실리콘기판 부위를 소정깊이로 식각하여 채널영역이 형성될 트렌치를 형성하고 세정하는 단계;

상기 기판상에 버퍼산화막을 성장시키고 상기 트렌치 채널영역에 채널이온주입을 행하는 단계;

상기 제1질화막과 버퍼산화막을 제거하고 기판상에 게이트산화막을 성장시키는 단계;

기판 전면에 게이트전극 형성용 폴리실리콘을 증착하는 단계;

상기 게이트 폴리실리콘층을 상기 소자분리산화막이 노출될 때까지 CMP에 의해 연마하는 단계;

기판 전면에 WN배리어와 게이트전극 형성용 텅스텐 및 제2질화막을 순차적으로 증착하는 단계;



상기 제2질화막과 텅스텐막 및 WN배리어를 소정의 게이트전극 패턴으로 패터닝하는 단계;

상기 게이트전극 패턴으로 패터닝된 WN배리어 및 텅스텐막의 측면에 얇은 측벽 질화막을 형성하는 단계; 및

노출된 게이트 폴리실리콘층을 식각한 후, 선택적인 산화공정을 진행하여 노출된 게이트 폴리실리콘층 측면을 포함한 게이트영역의 기판부위에만 선택산화막을 성장시키는 단계를 포함하여 이루어지는 MOS트랜지스터 제조방법.

#### 【청구항 2】

제1항에 있어서,

상기 제1산화막은 5~20nm, 제1질화막은 50~150nm의 두께로 형성하는 것을 특징으로 하는 MOS트랜지스터 제조방법.

#### 【청구항 3】

제1항에 있어서,

상기 트렌치는 150~400nm 깊이로 형성하는 것을 특징으로 하는 MOS트랜지스터 제조방법.

#### 【청구항 4】

제1항에 있어서,

상기 소자분리 산화막을 형성하는 단계전에 식각된 트렌치의 측면 및 밑면에 희생 산화막 또는 열산화막을 성장시킨 후 식각하는 단계가 더 포함되는 것을 특징으로 하는 MOS트랜지스터 제조방법.

【청구항 5】

제1항에 있어서,

상기 소자분리 산화막을 형성하는 단계후에 기판 소정부분에 p웰 및 n웰을 형성하는 단계가 더 포함되는 것을 특징으로 하는 MOS트랜지스터 제조방법.

【청구항 6】

제1항에 있어서,

상기 채널 이온주입은 1~100KeV의 에너지로 실시하는 것을 특징으로 하는 MOS트랜지스터 제조방법.

【청구항 7】

제1항에 있어서,

상기 게이트산화막은 3~10nm 두께로 형성하는 것을 특징으로 하는 MOS트랜지스터 제조방법.

**【청구항 8】**

제1항에 있어서,

상기 게이트전극 형성용 폴리실리콘은 50~400nm의 두께로 두껍게 증착하는 것을 특징으로 하는 MOS트랜지스터 제조방법.

**【청구항 9】**

제1항에 있어서,

상기 WN배리어는 3~10nm, 텅스텐은 50~150nm, 제2질화막은 150~400nm의 두께로 각각 형성하는 것을 특징으로 하는 MOS트랜지스터 제조방법.

**【청구항 10】**

제1항에 있어서,

상기 WN 대신에 TiN, WSiN, TiSiN 또는 WSix를 사용하여 배리어를 형성하는 것을 특징으로 하는 MOS트랜지스터 제조방법.

**【청구항 11】**

제1항에 있어서,

상기 측벽 질화막은 3~40nm의 두께로 형성하는 것을 특징으로 하는 MOS트랜지스터 제조방법.

**【청구항 12】**

제1항에 있어서,

상기 선택산화막은 1.5~10nm의 두께로 형성하는 것을 특징으로 하는 MOS트랜지스터 제조방법.

**【청구항 13】**

제1항에 있어서,

상기 선택산화막을 성장시키는 단계후에 상기 게이트 폴리실리콘층의 측벽에 형성된 선택산화막의 손실을 방지하기 위하여 게이트전극을 포함한 기판 전면에 질화막을 증착하는 단계가 더 포함되는 것을 특징으로 하는 MOS트랜지스터 제조방법.

**【청구항 14】**

제13항에 있어서,

상기 질화막은 5~40nm 두께로 얇게 증착하는 것을 특징으로 하는 MOS트랜지스터 제조방법.

**【청구항 15】**

제1항에 있어서,

상기 선택산화막을 성장시키는 단계후에 상기 게이트 폴리실리콘층의 측벽에 형성된 선택산화막의 손실을 방지하기 위하여 질화막을 얇게 증착하고 식각하여 게이트 측벽 질화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 MOS트랜지스터 제조방법.

【청구항 16】

제1항에 있어서,

상기 트렌치 채널영역의 측면과 밑면에는 게이트산화막만이 형성되고, 트렌치 채널 영역의 기판 표면에는 남아 있는 제1산화막과 게이트산화막이 함께 존재하는 것을 특징으로 하는 MOS트랜지스터 제조방법.

【청구항 17】

제16항에 있어서,

상기 트렌치 채널영역 밑면의 게이트산화막이 측면의 게이트산화막보다 두께가 얇게 형성되는 것을 특징으로 하는 MOS트랜지스터 제조방법.

【청구항 18】

실리콘기판위에 제1산화막과 제1질화막을 차례로 형성하는 단계와;

상기 제1질화막과 제1산화막을 선택적으로 식각하고 그에 따라 노출되는 실리콘기판 부위를 소정깊이로 식각하여 소자분리영역에 트렌치를 형성하는 단계;

상기 트렌치가 매립되도록 기판 전면에 소자분리 산화막을 증착하고 상기 제1질화막이 노출될 때까지 CMP공정을 진행하는 단계;

상기 노출된 제1질화막을 그대로 둔 채 소정의 게이트전극 형성용 마스크패턴을 이용하여 상기 제1질화막과 제1산화막을 선택적으로 식각하고 그에 따라 노출되는 실리콘기판 부위를 소정깊이로 식각하여 채널영역이 형성될 트렌치를 형성하고 세정하는 단계;

상기 기판상에 버퍼산화막을 성장시키고 상기 트렌치 채널영역에 채널이온주입을 행하는 단계;

상기 제1질화막과 버퍼산화막을 제거하고 기판상에 게이트산화막을 성장시키는 단계;

기판 전면에 게이트전극 형성용 폴리실리콘을 증착하는 단계;

상기 게이트 폴리실리콘층을 상기 소자분리산화막이 노출될 때까지 CMP에 의해 연마하는 단계;

기판 전면에 WN배리어와 게이트전극 형성용 텅스텐 및 제2질화막을 순차적으로 증착하는 단계;

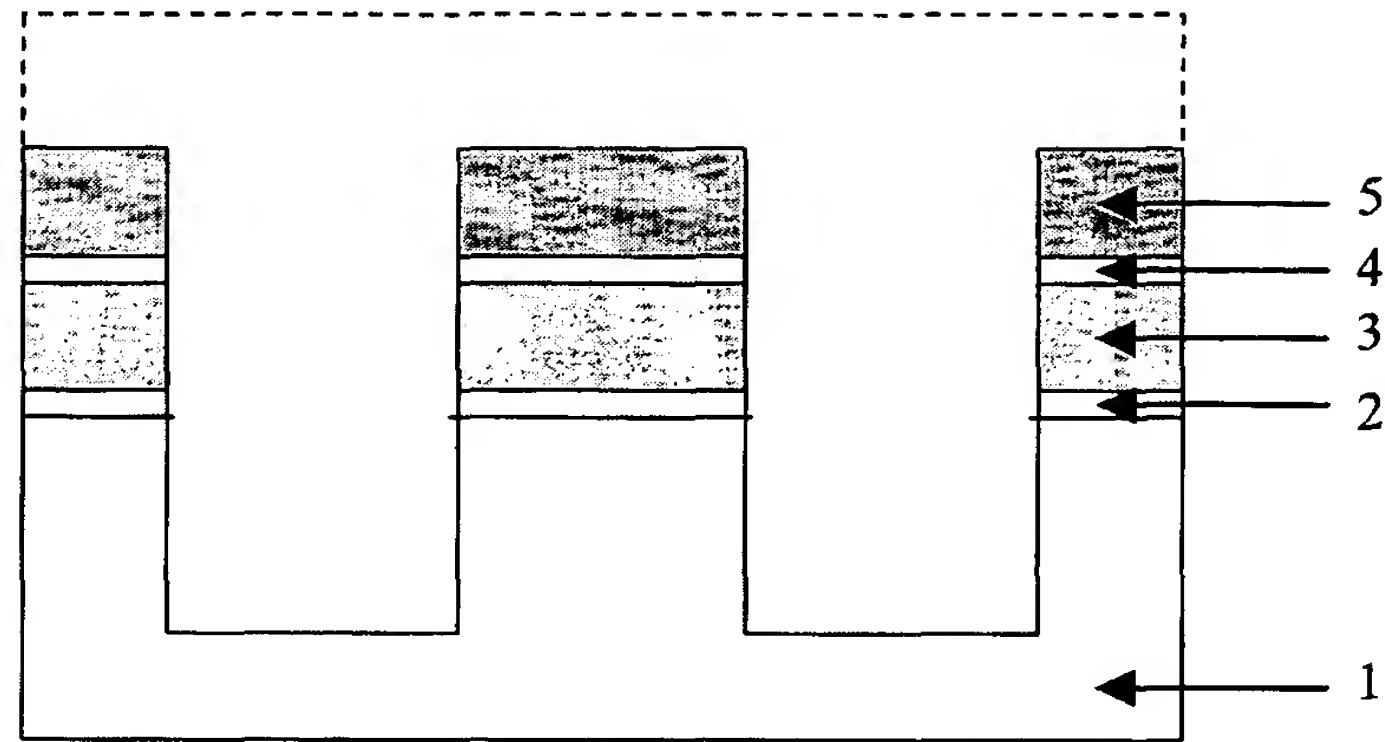
상기 제2질화막과 텅스텐막, WN배리어 및 게이트 폴리실리콘층을 소정의 게이트전극 패턴으로 패터닝하는 단계;

상기 패터닝된 WN배리어 및 텅스텐막의 측면에 측벽 질화막을 형성하는 단계;

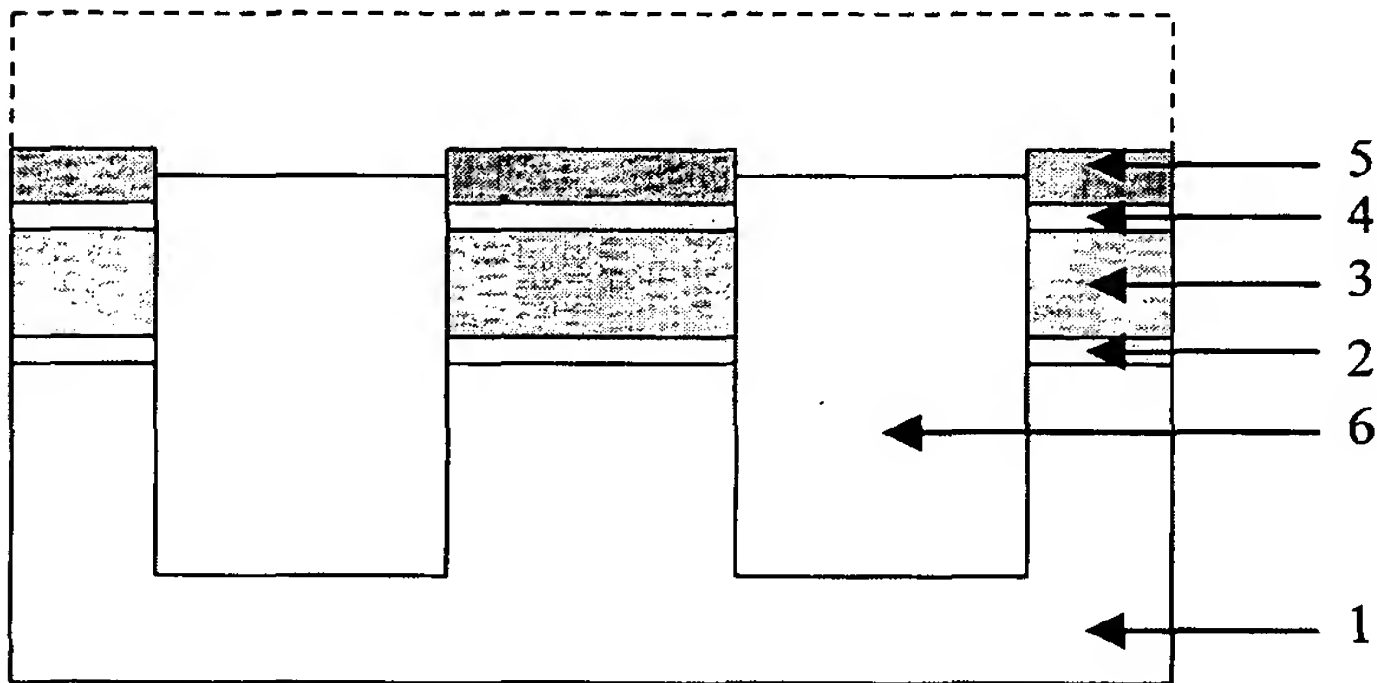
선택적인 산화공정을 진행하여 식각공정에 의해 발생된 손상을 치료하기 위하여 실리콘기판 및 상기 측벽 질화막에 의해 둘러싸인 게이트 폴리실리콘층상에 선택산화막을 성장시키는 단계를 포함하여 이루어지는 MOS트랜지스터 제조방법.

【도면】

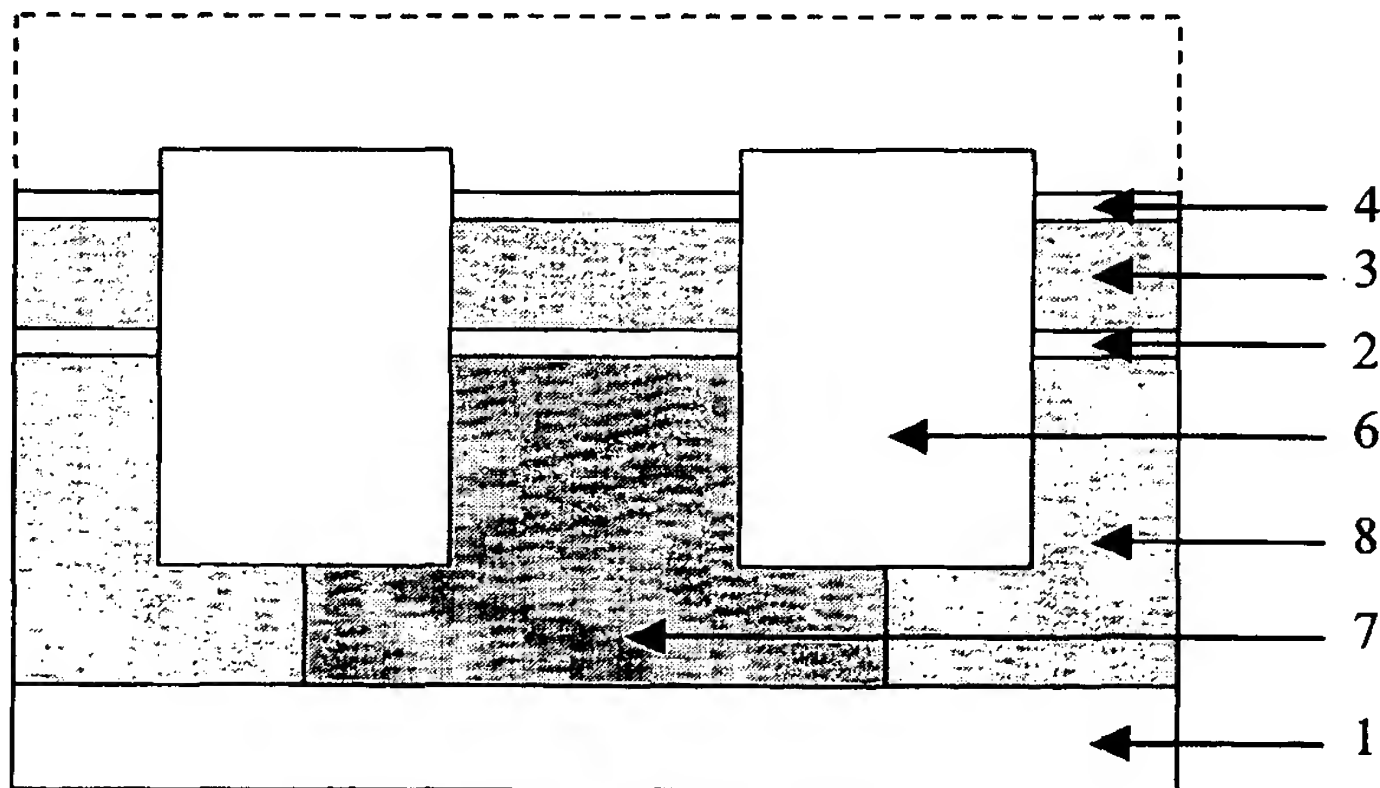
【도 1a】



【도 1b】

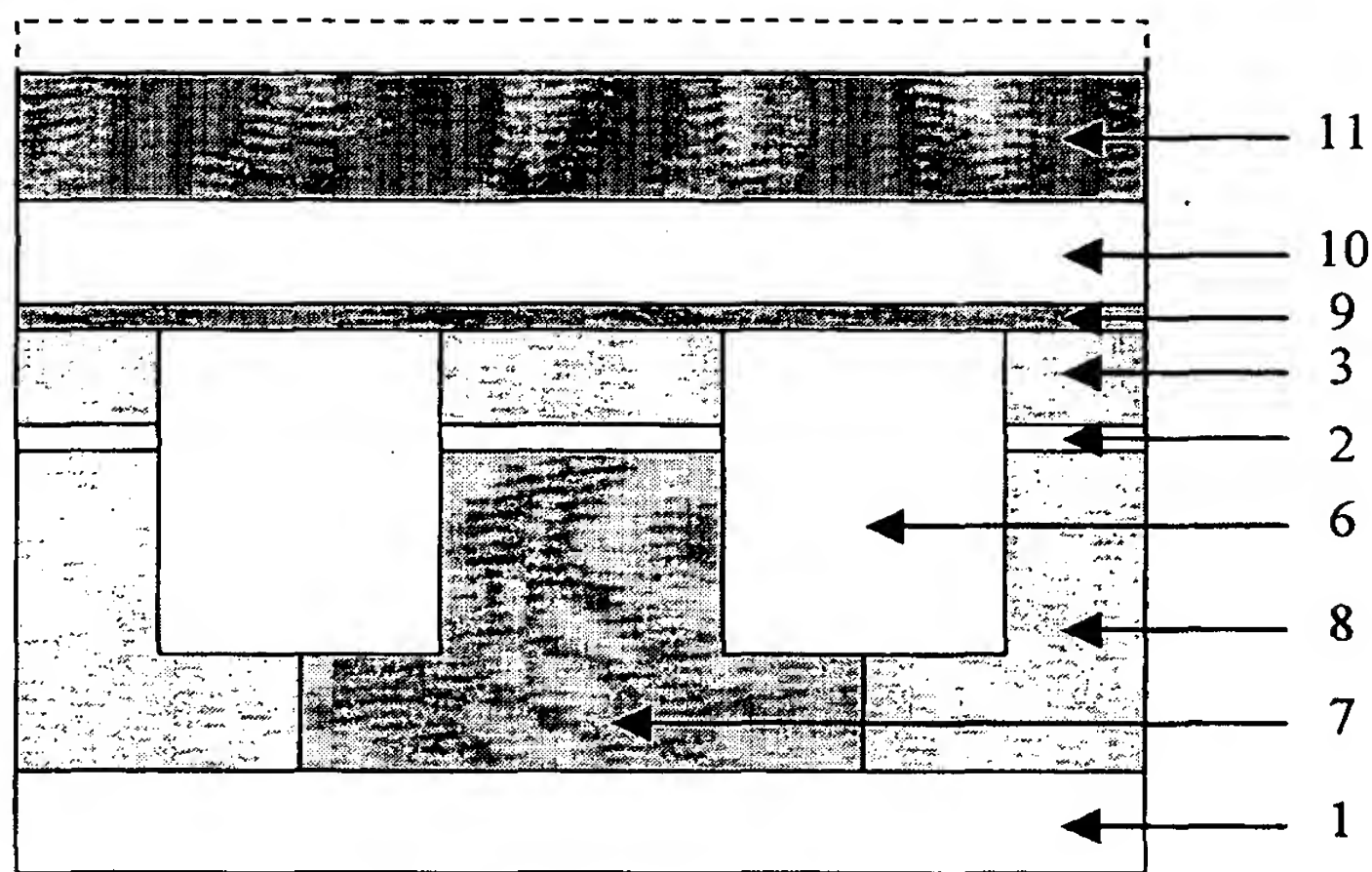


【도 1c】

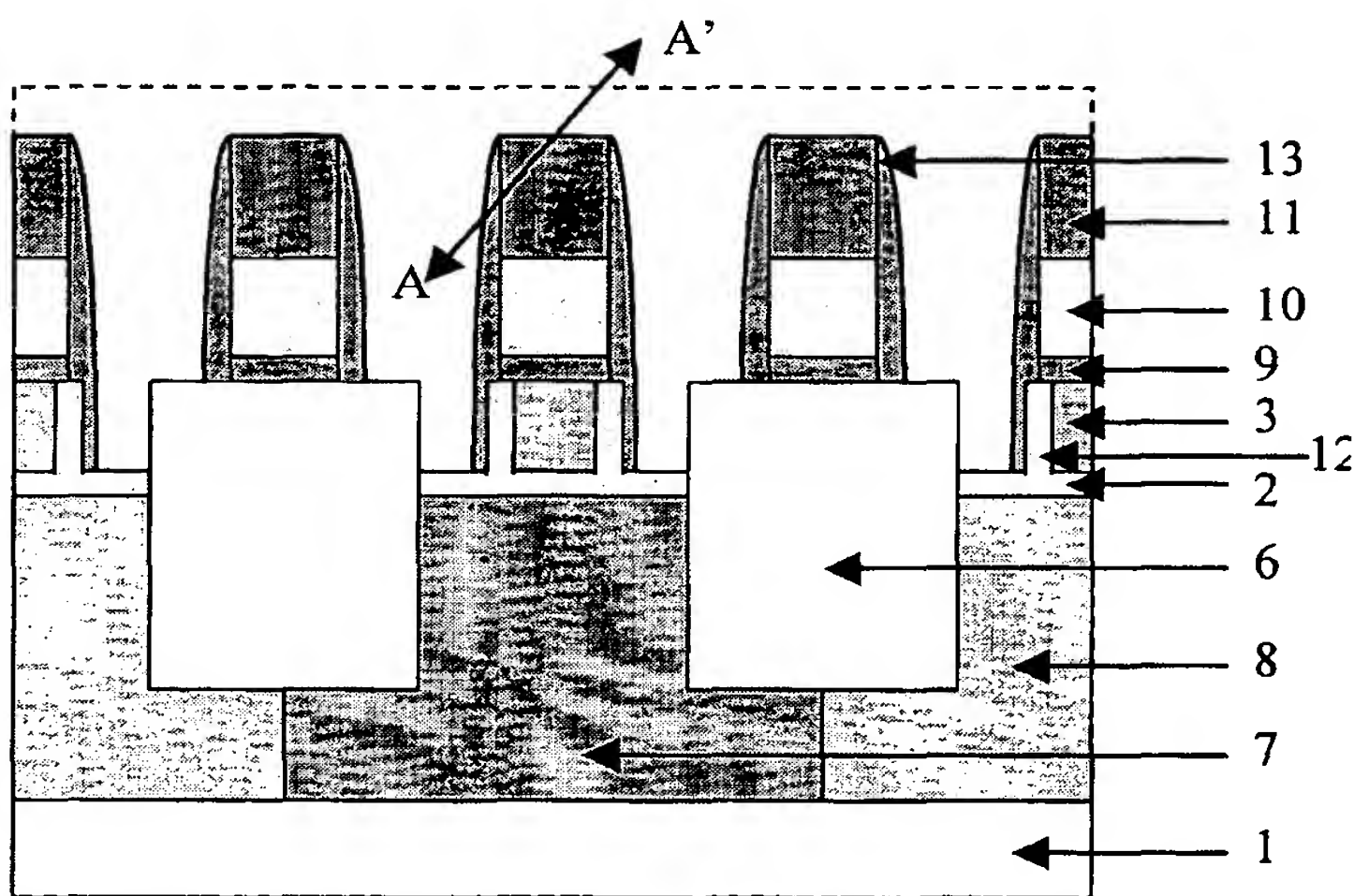




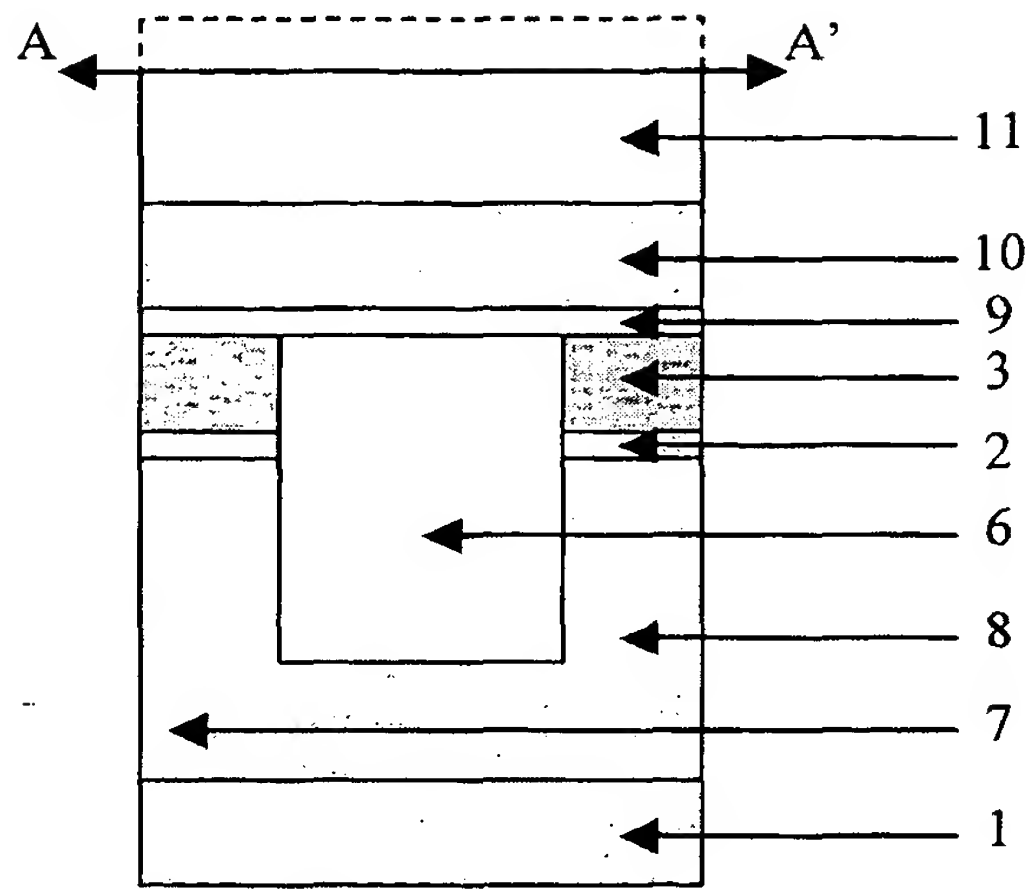
【도 1d】



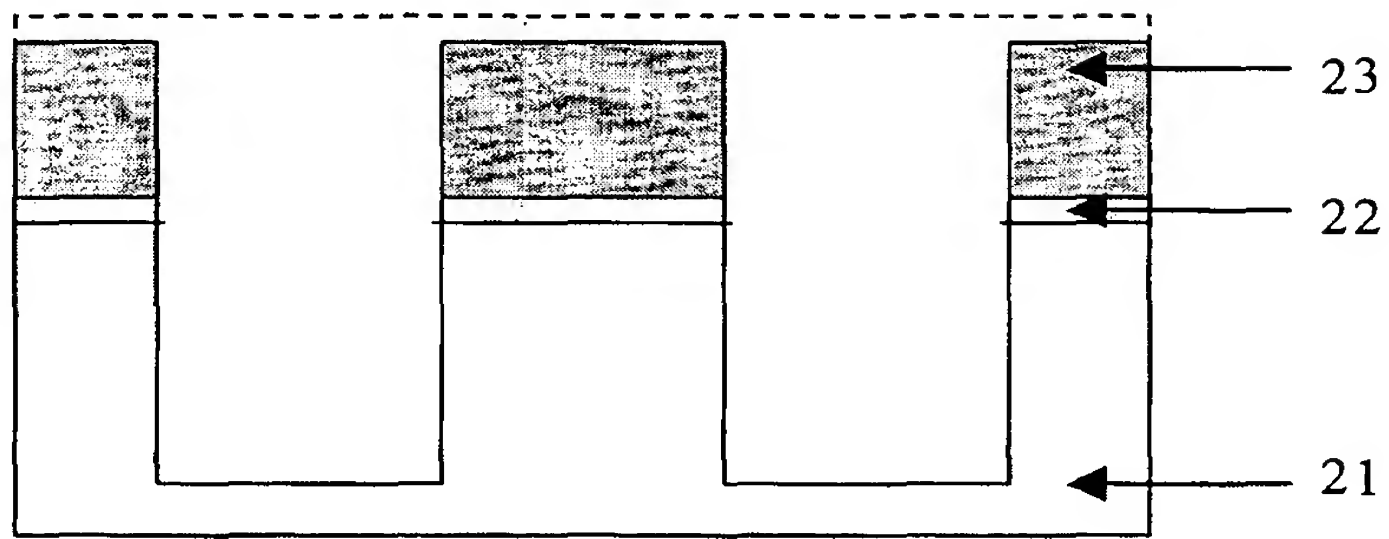
【도 1e】



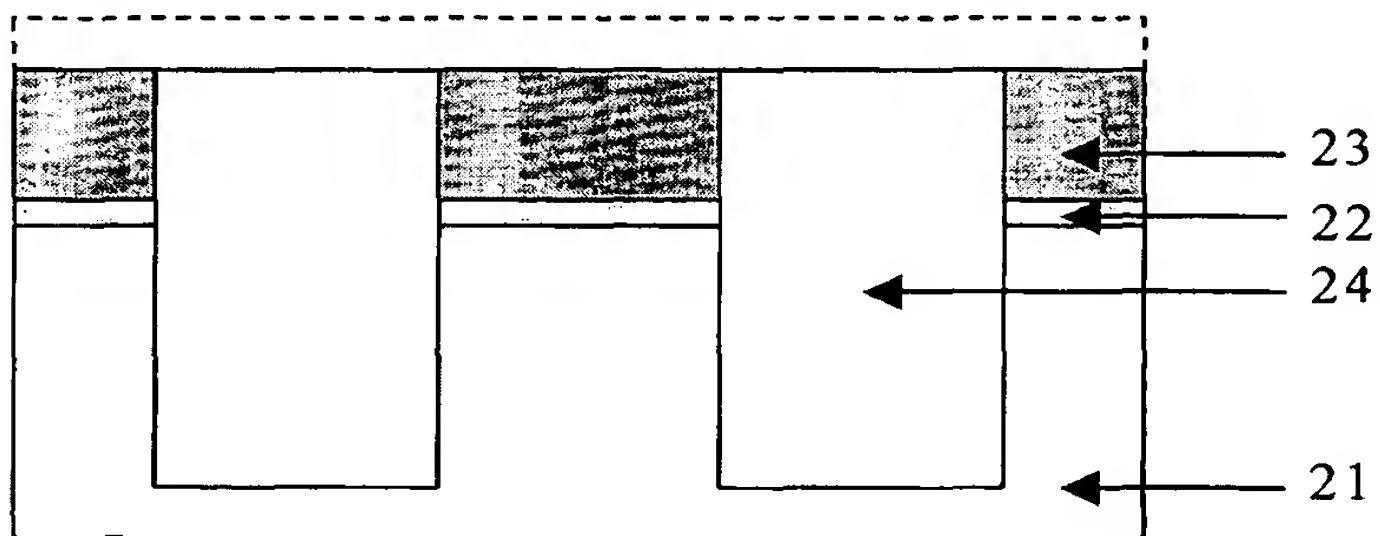
【도 2】



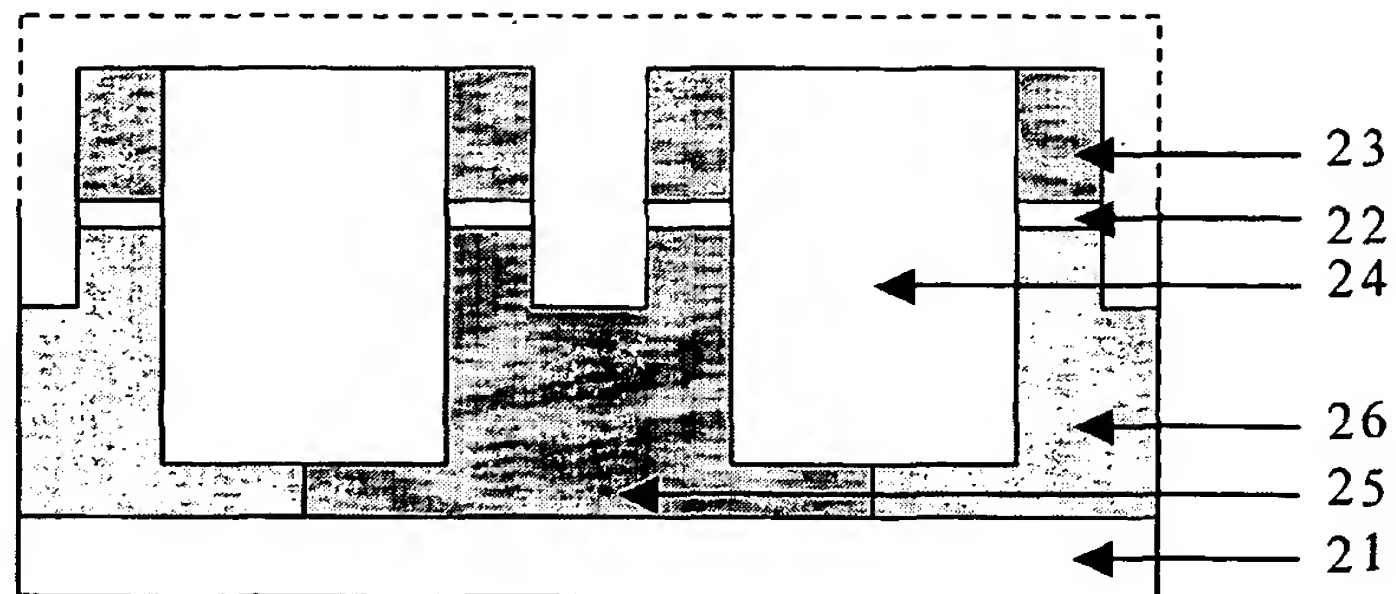
【도 3a】



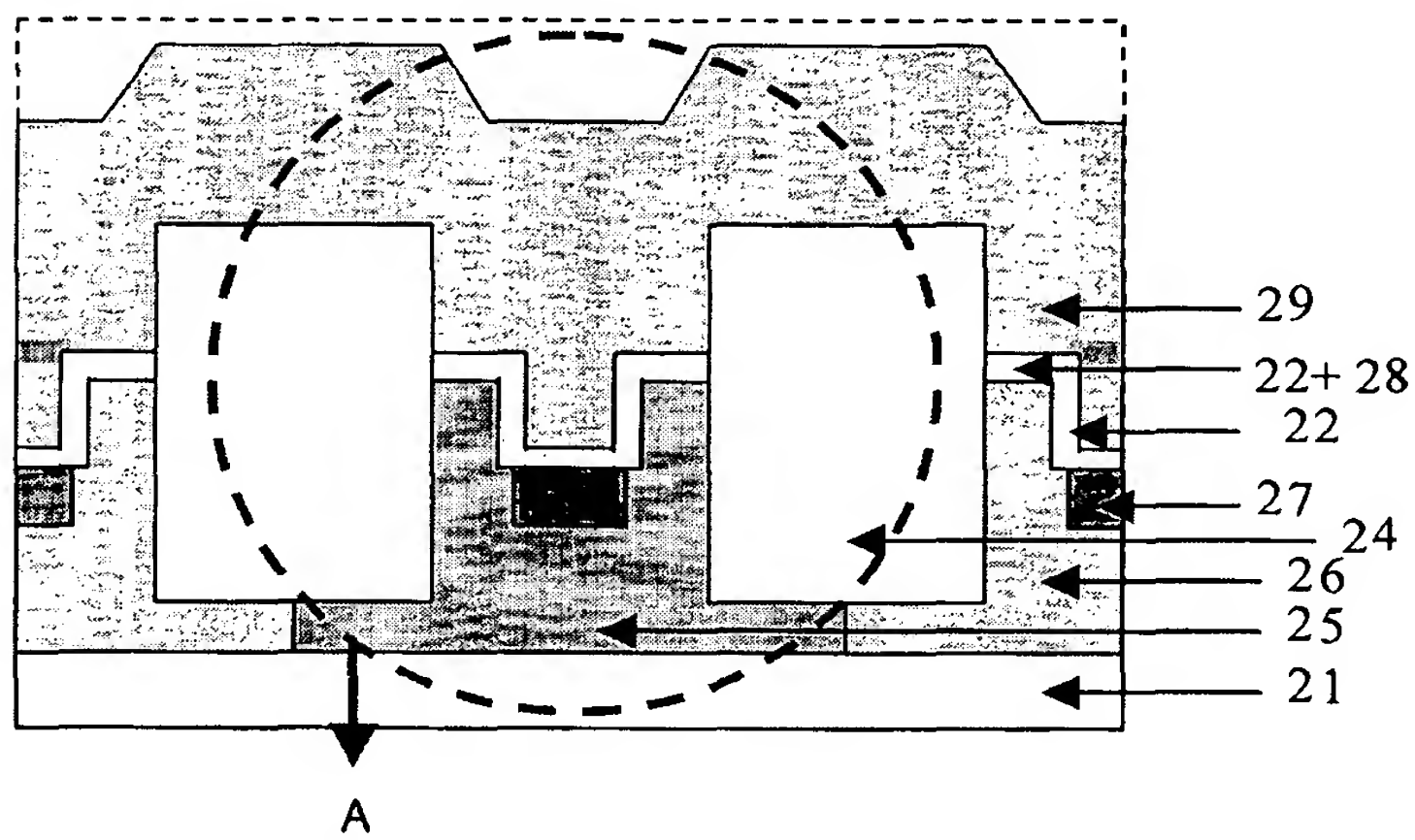
【도 3b】



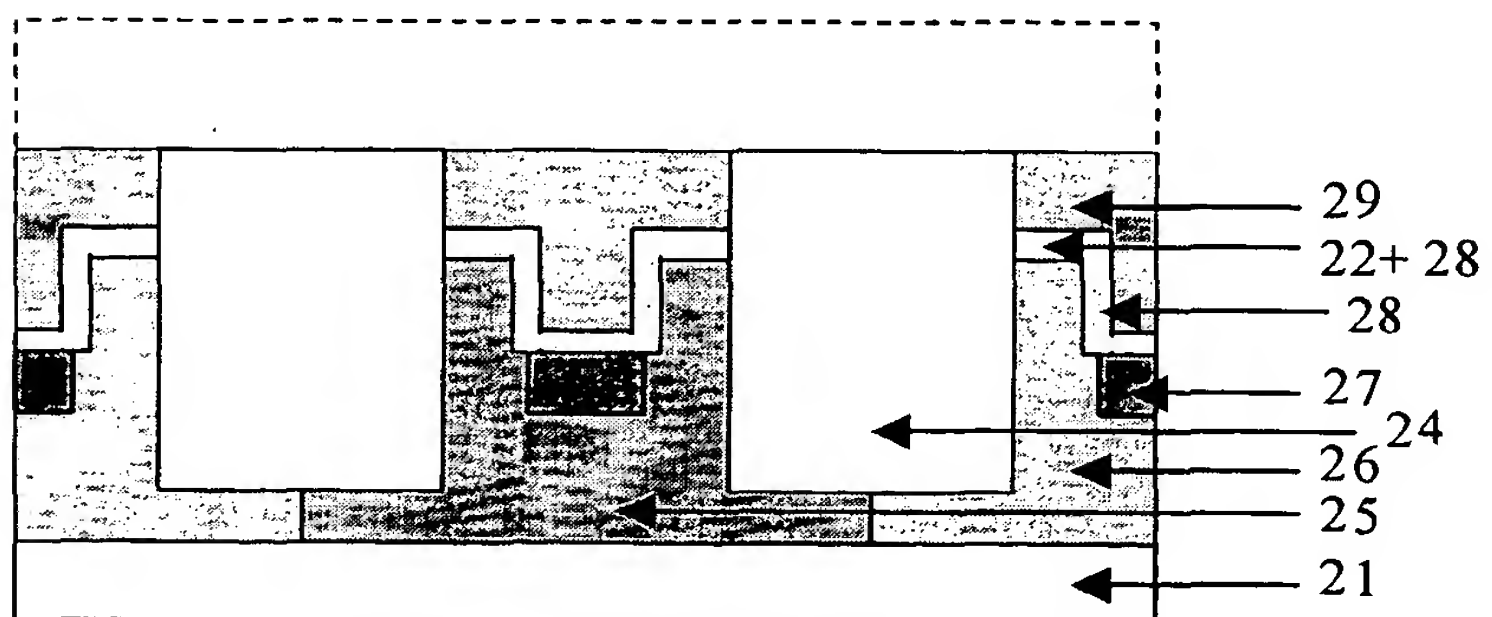
【도 3c】



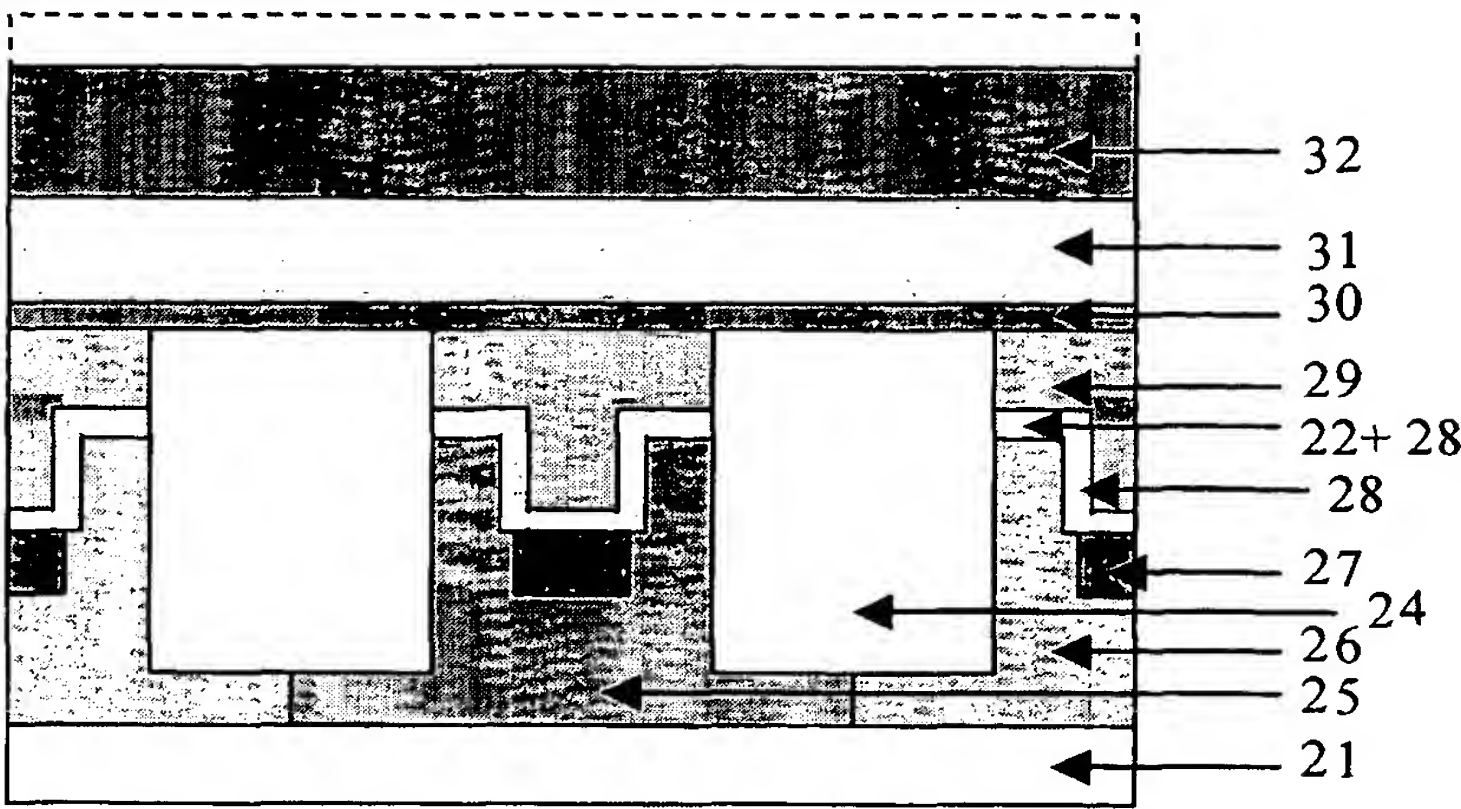
【도 3d】



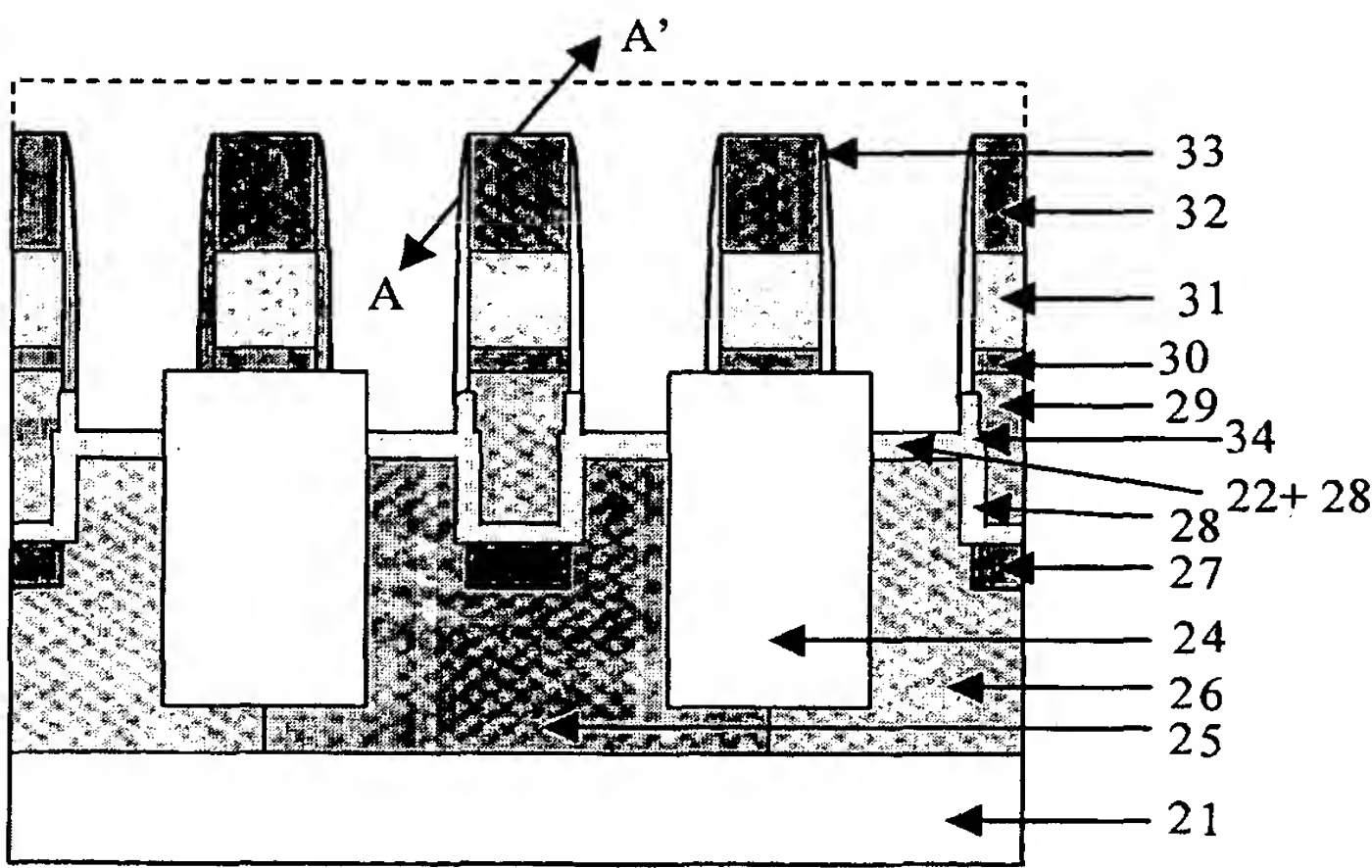
【도 3e】



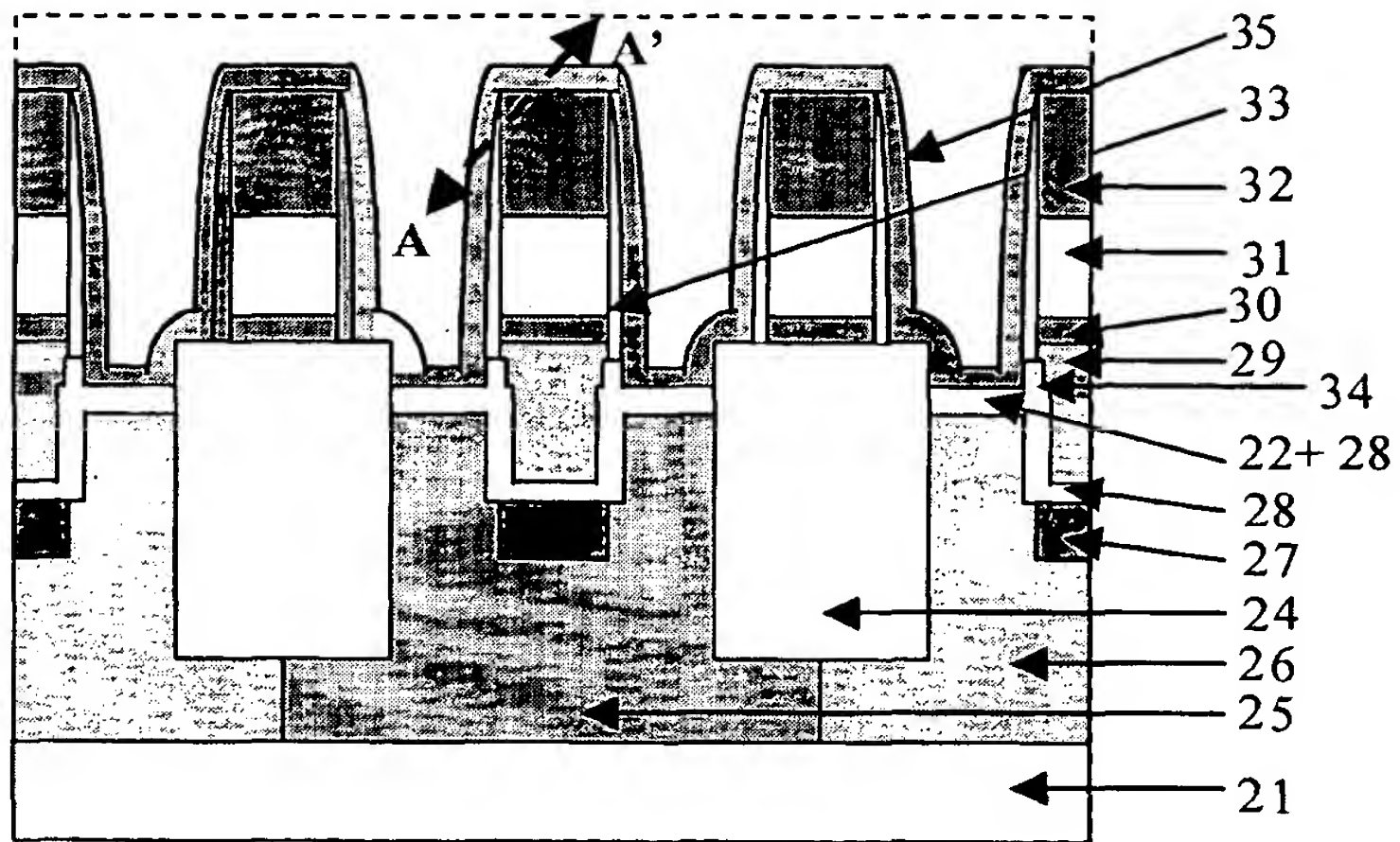
【도 3f】



【도 3g】



【도 3h】



【도 4】

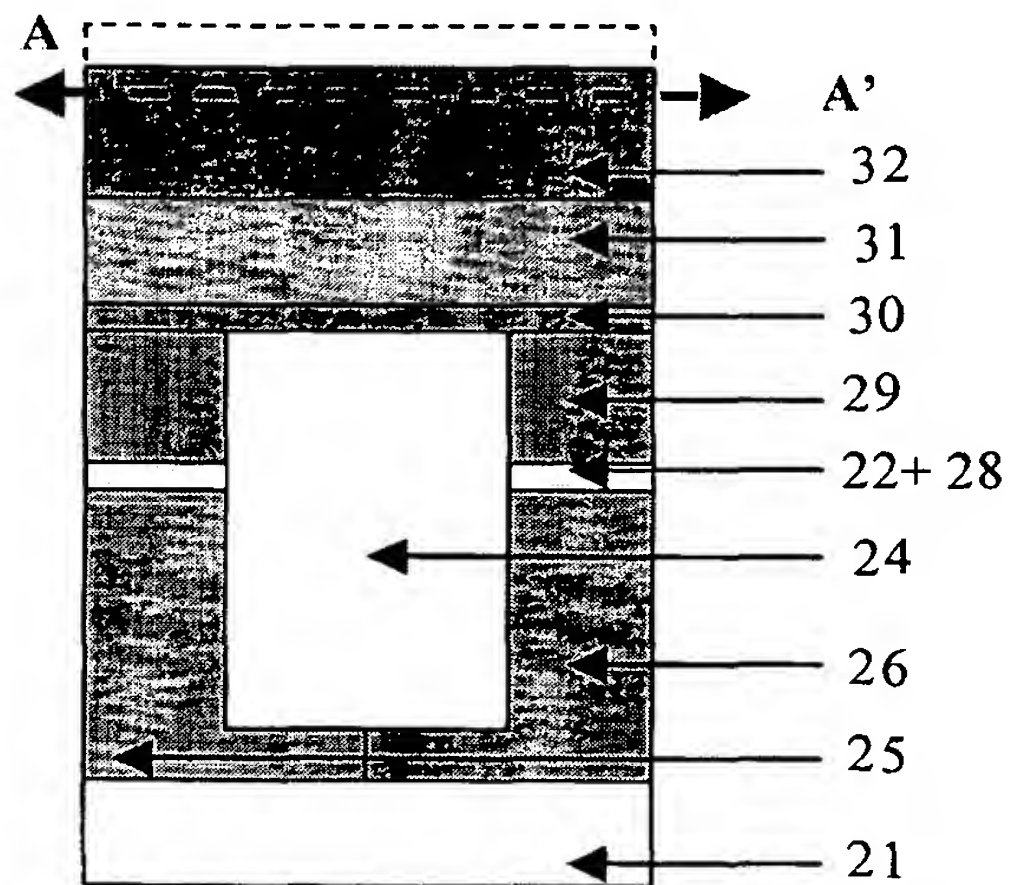


Fig. 1 is a cross-sectional view of a multi-layered structure. The structure consists of five vertical columns. The columns are labeled with reference numerals 21, 24, 25, 26, 27, 28, 29, 30, 31, 32, 33, 34, 35A, and 36. The structure is divided into layers 14, 22+28, and 25. Arrows A and A' indicate specific features or directions.

A cross-sectional view of a semiconductor device, labeled with a dashed line A-A' indicating a plane of symmetry. The device features a substrate (21) with a series of vertical structures (22+28) and a central region (24). The structures are composed of layers 25, 26, 27, 28, 29, 30, 31, 32, and 33. A dashed line A-A' is shown passing through the center of the device.





1020020086465

출력 일자: 2003/5/16

【도 7】

